

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-201422

(43)Date of publication of application : 03.09.1991

(51)Int.Cl.

H01L 21/027

G03F 1/08

G03F 7/20

H01L 21/3205

(21)Application number : 01-338079

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.12.1989

(72)Inventor : ITO YOSHIO
KUROKAWA HIROTAKA

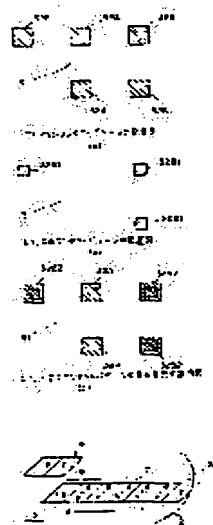
(54) CIRCUIT PATTERN FORMATION AND APPLICABLE MASK THERETO

(57)Abstract:

PURPOSE: To form fine patterns without developing such a defect as the short circuit of patterns by a method wherein circuit patterns are transferred by exposing a wafer through the first masks formed in the first pattern regions and then the wafer is shifted so that the first pattern regions and the second pattern regions may be overlapped with each other to additionally expose the wafer.

CONSTITUTION: Contact patterns 32A represent the contact patterns to be formed on the upper underneath stepped parts while contact patterns 32B represent the contact patterns to be formed on the lower stepped parts to expose the areas A using these patterns. The other contact patterns 32B1 are arranged only on the contact patterns 32B formed on the lower stepped parts. Then, the contact patterns 32A, 32B and 32B1 in the areas A and the areas B are dually exposed.

Through these procedures, only the thick parts of a photoresist film on the lower stepped parts can be dually exposed partially thereby enabling the circuit patterns of the upper and lower parts to be formed simultaneously with high precision.



LEGAL STATUS

[Date of request for examination]

1. 2. 3. 4. 5. 6. 7. 8. 9. 10.

11.

12. 13. 14. 15. 16. 17. 18. 19. 20.

21. 22. 23. 24. 25. 26. 27. 28. 29. 30.

31. 32. 33. 34. 35. 36. 37. 38. 39. 40.

41. 42. 43. 44. 45. 46. 47. 48. 49. 50.

51. 52. 53. 54. 55. 56. 57. 58. 59. 60.

61. 62. 63. 64. 65. 66. 67. 68. 69. 70.

71. 72. 73. 74. 75. 76. 77. 78. 79. 80.

81. 82. 83. 84. 85. 86. 87. 88. 89. 90.

91. 92. 93. 94. 95. 96. 97. 98. 99. 100.

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-201422

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月3日

H 01 L 21/027

G 03 F 1/08

7/20

H 01 L 21/3205

5 2 1

A

7428-2H

7707-2H

2104-5F

2104-5F

6810-5F

H 01 L 21/30

3 0 1 C

3 0 1 P

C

審査請求 未請求 請求項の数 2 (全10頁)

⑮ 発明の名称 回路パターン形成方法およびそれに用いるマスク

⑯ 特 願 平1-338079

⑰ 出 願 平1(1989)12月28日

⑱ 発 明 者 伊 東 由 夫 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 発 明 者 黒 川 博 孝 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

㉑ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発 明 の 名 称

回路パターン形成方法およびそれに用いるマスク

2. 特 許 請 求 の 範 囲

(1) (a) 第1のパターン領域に形成した第1のマスクパターンを通してウエハ上に回路のパターンの転写を行うために露光する工程と、

(b) 上記第1のパターン領域に対して半導体装置のチップのサイズに相当する距離離れた第2のパターン領域と上記第1のパターン領域が上記ウエハ上で重ね合わされる寸法だけ上記ウエハを移動させる工程と、

(c) 上記第1のマスクパターンのうち所定個所と上記第2のパターン領域に形成した第2のマスクパターンを通して上記ウエハに追加露光する工程と、

よりなる回路パターン形成方法。

(2) (a) レチクル内に配置された第1のパターン領域に設けられウエハ上に回路のパターンの転写を

行うための第1のマスクと、

(b) 上記レチクル内において半導体装置のチップサイズに相当する寸法だけ上記第1のパターン領域から離れた位置の少なくとも第2のパターン領域に設けられ上記第1のマスクのうちの所定個所を通して上記ウエハに多重露光を行うために上記第1のマスクより縮小された第2のマスクと、よりなる回路パターン形成方法に用いるマスク。

3. 発 明 の 詳 細 な 説 明

(産業上の利用分野)

この発明は半導体装置(以下、LSIと称す)製造技術の一つであるホトリソグラフィ工程で、露光装置として縮小プロジェクションアライナを用いた回路パターンの形成方法およびそれを用いたマスクに関するものである。

(従来の技術)

従来、LSIの製造における回路パターンの形成では、紫外光を露光に用いる装置が知られており、特に縮小プロジェクションアライナ(以下、ステッパと称す)および反射プロジェクションア

ライナを併用する方法が一般的に用いられている。

ステップは半導体ウエハの単位時間当りの処理枚数(以下、スループットと称する)は、反射プロジェクションアライナと比較して低い、パターン形成における解像能力が高く、微細な回路パターンが精度よく形成することができるので、LSIの高積度化、縮小化が進むにつれて、ホトリソグラフィ工程でもステップを用いなければ形成することができない微細な回路パターンの形成工程が増加している。

また、使用されるホトレジストについても、高解像化が必要とされ、ステップで露光する必要のある工程では、クレゾールノボラックを主成分とするポジ型ホトレジスト(たとえば東京応化型OPRP-800、TSMR-8800、TSMR-899:商品名)が一般的に用いられている。

しかしながら、上記のポジ型ホトレジストおよびステップを用いたパターン形成方法においても、最小の寸法が 1μ 前後の回路パターンを有するLSI製造においては、特に問題となるレベルで

はなかったが、最小の寸法が 1μ よりもさらに微細な回路パターン(たとえば、 $0.5\sim 0.8\mu$ 程度の配線パターンや、 $0.5\sim 0.9\mu$ 程度のコンタクトパターン)を有するLSIの製造工程においては、以下に述べるような問題が表面化し、無視しえなくなってしまう。

つまり、LSIの製造上生じてしまう下地段差により、段差上部上、および段差下部上で同時に両方の回路パターンの形成を精度よく行なうことが困難になってしまい、特にこの問題点はLSIの回路パターン形成がある程度形成されてから行なわれる配線回路パターンの形成において、下地段差が大きくなることにより顕著になり、第8図以後にLSIの配線回路パターン形成であるコンタクトパターンの形成を例に詳細に説明する。

第8図(a)はMOSFETを有するメモリLSIの配線回路パターン形成直前の下地段差を有する個所の断面を示す断面図である。この第8図(a)において、61はシリコン基板の不純物拡散領域であり、素子領域を示す。62は約3000~8000Åの

膜厚を有するLOCOS工程により形成されたフィールド酸化膜であり、素子領域61に対し、約1500~4000Å程度の段差を形成していた。

ゲート電極パターン63(以下、ワード線と称す)は約1500~4000Åの膜厚を有するタングステン、チタン、モリブデンなどの金属と、シリコンとの共晶膜もしくは多結晶シリコン膜で形成されており、第8図(a)ではフィールド酸化膜62上に位置されている。

このワード線63の形成後、全面に第1の層間膜64が形成されている。この第1の層間膜64は約2000~6000Åの膜厚を有するシリコン酸化膜である。

また、上記フィールド酸化膜62の上方の位置において、第1の層間膜64上には、パターン65が約500~3000Å程度の多結晶シリコン膜で形成され、このパターン65は各種電極もしくは抵抗回路となるものである。

このパターン65の形成後、約2000~7000Å程度の膜厚を有するシリコン酸化膜である第2の層

間膜65が形成され、この第2の層間膜65上にワード線63と同材料を用いた約1500~4000Åの膜厚を有するパターン67(以下、ビット線と称す)があり、やはりフィールド酸化膜62上に位置するように形成されている。

さらに、約2500~8000Å程度の膜厚を有するシリコン酸化膜による第3の層間膜68が上面に形成されている。

以上のような構造はワード線63、パターン65、ビット線67の厚みにより不可逆的な段差があり、この段差は特にメモリLSIに特定されるものではなく、他のLSIに関しても構造上どうしても生じてしまう段差であり、第8図(a)に示す状態にて、約5000~15000Å程度の段差を生じている。

次に、第8図(b)に示すように、ビット線67および素子領域61に図示しないが配線材料にて接合を行うべき、コンタクトパターン69A、69Bが形成される。

(発明が解決しようとする課題)

しかし、第8図(向)に示すように、下地段差により、段差上部上に形成すべきコンタクトパターン69Aと段差下部上に形成すべきコンタクトパターン69Bを同時に精度よく形成することは、非常に困難となり、第9図(向)以後に詳細に説明を行なう。

第9図(向)は第8図(向)に示す下地上にホトレジスト膜70を形成した状態を示す断面図である。このホトレジスト膜70はスピンコート法が最も一般的であり、段差の無い状態のウエハ上にて約5000Å～20000Å程度の膜厚が形成されうる条件にて行なわれ、上記条件にて形成されたホトレジスト膜70の表面はかなり平坦化がされてしまい、段差上部上でのホトレジスト膜70A1と段差下部上でのホトレジスト膜70B1はほぼ下地の段差分に近い値だけ膜厚差が生じてしまう。

この状態にて、ステッパを用い、露光および現像処理が行なわれるが、ここで段差上部上のコンタクトパターンの寸法が70Aおよび段差下部上のコンタクトパターンの寸法70Bとして、両方

のコンタクトパターンが同時に精度よく仕上がることが要求される。

しかし、第9図(向)に示すように、露光および現像後のホトレジストのパターン71は、段差上部でのコンタクトパターン71Aを精度良く仕上がる露光条件においては、段差下部でのコンタクトパターン71Bはホトレジスト膜厚が異なることにより、露光量が不十分であり、コンタクトパターン71Bのボトム部71B1にはホトレジストが残ってしまう。

これに対し、段差下部上のコンタクトパターン71Bが充分な開孔が可能となる条件にて露光処理を施すことにより、段差上部上のコンタクトパターン71Aに対しては、過剰露光となってしまい、所望するコンタクトパターンの寸法が大きくなってしまい、その結果配線不良(電気的なショート)の発生が急増してしまう結果となる。

上記問題点を解決するためには、段差下部上に形成するコンタクトパターンの寸法70Bをマスク上大きく設定することで、コンタクトパターン

71Bのボトム部71B1にホトレジストが残りにくくなるものの、コンタクトパターンの寸法71Bが大きくなってしまうので、配線不良(ワード線63のパターンとの電気的なショート)の発生が急増してしまう。

この問題点はLSIの高精度化、縮小化が進み、0.6～0.9μm程度のコンタクトパターンの形成がどうしても必要とされる場合に特に顕著になる。

このため、段差上部上、もしくは段差下部上のいずれか一方のコンタクトサイズの寸法を大きく仕上げるように設定すると(たとえば段差上部上においてはビット線67のパターンの寸法を大きく設定しておき、また段差下部上においては、ワード線63のパターン間隔を大きく設定しておくなど)、LSIの縮小化に対して大きな妨げとなってしまう。

本発明において、請求項1の発明は、前記従来技術が持っている問題点のうち、LSIの構造上有している段差上部上に形成すべきコンタクトパターンと段差下部上に形成すべきコンタクトパ

ターンとを同時に高精度に形成することが困難な点と、段差上部上と段差下部上に形成するコンタクトパターンの寸法を異ならせると、縮小化を阻害し、かつ高精度なパターン形成が不可能な点について解決した回路パターン形成方法を提供するものである。

また、請求項2の発明は、段差の有する回路パターンを高精度に形成する場合はもとより、光量調整する露光を行ってパターン形成および複数のLSIチップの同時露光などにも適用できる回路パターン形成方法に用いるマスクを提供するものである。

(課題を解決するための手段)

請求項1の発明は、前記問題点を解決するために、回路パターン形成方法において、第1のパターン領域に形成した第1のマスクパターンを通してウエハ上に回路のパターンの転写を行うために露光する工程と、ウエハを露光した後ウエハを半導体チップのサイズだけ離れた位置の第2のパターン領域に移動して第2のパターン領域のマスク

パターンを第1のマスクを通してウエハに追加露光する工程とを導入したものである。

また、請求項2の発明は、回路パターン形成方法に用いるマスクにおいて、レチクル内に第1のパターン領域に形成した第1のマスクと、第1のパターン領域から半導体装置のチップのサイズだけ離れた位置の第2のパターン領域に形成し、第1のマスクのうちの所定個所を通してウエハに多重露光を行うための第1のマスクより縮小した第2のマスクとを設けたものである。

(作用)

請求項1の発明によれば、回路パターン形成方法において、以上のような工程を導入したので、第1のパターン領域に形成した第1のマスクを通してウエハに露光して回路パターンを転写した後、ウエハ上に第1のパターン領域と第2のパターン領域を重ねるようにウエハを移動させ、第1のマスク7の所定個所と第2のマスクを重ねてウエハに追加露光を行うことにより、ウエハの露光量を調節してパターン形成を行い、したがって、前記

チップ4、5の周辺に位置するスクライブラインエリアであり、レチクル2上に配置されたLSIチップ4、5はスクライブライン3により2チップ分配置されている。但し特に2チップに限定するものではない。

ここで、LSIチップ4のエリアAには、通常用いられていた回路パターンが配置されており、LSIチップ5のエリアBには、先に述べた部分的に追加露光を行なうパターンのみが配置されている。

次に、第1図によりウエハ6上に実際に露光処理を施す場合について説明する。矢印aはウエハ6がステップしていく方向であり、矢印bがステップする長さを示す。この長さbはLSIチップ4、5のウエハ6上での短辺方向の寸法と等しい。

また、7はすでに2重露光の施こされたチップを示し、ウエハ6の最外周チップ7aはエリアAのみの一重露光となっている。

しかし、ウエハ6の最外周チップ7aはコーナ

問題点が除去できる。

また、請求項2の発明によれば、以上のようにマスクを構成したので、第1のマスクを通してウエハに露光した後、第1のマスクのうちの所定個所と第1のマスクより縮小した第2のマスクとを通して露光量を調節した状態でウエハに追加露光することになり、したがって、段差の有無に関係なく高精度にパターン形成が可能となるとともに、複数のLSIチップの同時露光などのごとく広範囲な露光に適用できる。

(実施例)

以下、この発明の回路パターン形成方法およびそれを用いるマスクの実施例について図面に基づき説明する。第1図は回路パターン形成方法に適用されるウエハ上に露光処理を行う露光状態の説明図である。

また、第2図はその一実施例を説明するためのレチクルの平面図である。

まず、第2図において、1はステップの露光可能エリアであり、2はレチクルを示す。3はLSI

部がウエハ6より外に出ており、実際には、良品としてのLSIにはなり得ないものである。

また、8は前ショットにて露光されたエリアであり、ウエハ6のステップ方向のチップはすでに2重露光が施こされているが、他のチップエリアはまだエリアBのみの一重露光しかされていない。

この第1図に示す状態で露光処理が施こされ、チップ9に示すように、レチクル2上に配置されたLSIチップ4、5がウエハ6上に露光、転写され、すでにエリアBのみの露光された個所にエリアAのチップが重ねて露光処理が施こされる。

次に、第3図(a)にエリアAに配置された通常のパターン例を示す。32Aおよび32Bはコンタクトパターンで、クロム31が無い領域を示す。他は全面にクロム31でおおわれており、露光の光はマスキングされる。

コンタクトパターン32Aは下地段差部の段差上部上に形成されるべきコンタクトパターンを示し、コンタクトパターン32Bは段差下部上に形成されるべきコンタクトパターンを示す。

第3図(ハ)には、エリアBに配置された部分的に追加露光を行なうべきコンタクトパターンを示す。段差下部上に形成されるべきコンタクトパターン部のみにエリアAに配置された通常のコンタクトパターン32Bより多少小さなコンタクトパターン32B1が配置されている。

以上のようにエリアAおよびエリアBのコンタクトパターン32A、32B、32B1が第1図に示す方法で2重露光処理が施こされることにより、第3図(ハ)に示すように、段差上部上に形成されるコンタクトパターン32Aは通常の1回のみの露光がなされ、さらに段差下部上に形成されるコンタクトパターン32Bは通常の露光処理されたコンタクトパターン32Bにさらにコンタクトパターン32B1の追加露光が重ねて施こされることになり、したがって、段差下部上にはコンタクトパターン32B2が露光処理されることになる。

以上のように、第1図ないし第3図(ハ)に示す回路パターン形成方法の実施例によれば、下地段差

こともほとんど発生しない。

さらに、第3図(ハ)に示す追加露光すべきコンタクトパターン32B1の有無や寸法は下地の段差の大きさや形状、下地の露光光に対する反射率などを考慮し、最適に設定することができるので、段差を有する工程のすべての段差上のパターン形成に対して効果が期待できる。

したがって、この発明の回路パターン形成方法は特にコンタクトパターンの形成時のみに有効であるわけではなく、第4図(ハ)～第4図(シ)および第5図(ハ)、第5図(ニ)にコンタクトパターン以外の他のパターン形成方法にも適用できる。

第4図(シ)は第4図(ハ)、第4図(ニ)の平面図であり、換言すれば、第4図(シ)のA-A線の断面図が第4図(ハ)であり、第4図(シ)のB-B線の断面図が第4図(ニ)であり、第4図(シ)の42はホトレジストパターンである。

第4図(ハ)に示すような段差を有する下地41A上および第4図(ニ)に示すように段差を有しない平坦な下地41B上に同時に微細なスリット部を有

を有するウエハ上でのパターン形成において段差下部上のホトレジスト膜が厚くなる個所のみを部分的に2重露光処理が可能となるので、段差上部および段差下部で同時に両方の回路パターンの形成を精度よく行なうことが容易に可能となる。

尚、上記エリアAとエリアBを用いた露光処理は、いずれを先行させて行っても同様の効果を得ることができる。

特に、上記実施例においては、段差下部上での追加露光のコンタクトパターン32B1の寸法を通常のコンタクトパターン32Bの寸法より多少小さくマスクを形成しているため、通常のコンタクトパターン32Bのみの露光にて、第9図(ハ)に示すコンタクトパターンのボトム部71B1に示すようなホトレジスト残りを十分に除去可能となるが、コンタクトパターンの71Bの寸法が大きくなることはほとんど発生しない。

また、段差上部上のコンタクトパターン71A1の寸法も通常の1回だけの露光処理であるので、やはり所望の寸法に対し大きく形成されてしまう

するホトレジストパターン42Aおよび42Bを形成する場合についても、やはり段差下部41A1においても、ホトレジストパターン42A間には、ホトレジスト残り42A1が発生し易くなる。

この第4図(ハ)～第4図(シ)はやはり段差下部41A1上および段差上部上で同時に精度よくパターン形成することが困難となる例である。

そこで、この発明の回路パターン形成方法により、パターン形成を行う。第5図(ハ)はマスク上での通常のパターンの領域を示し、第1図、第2図の「A」のエリアに相当し、第5図(ニ)は第1図、第2図の「B」のエリアに相当している。

第5図(ハ)の51がクロムで覆われた部分で、第4図(シ)のホトレジストパターン42に対応している。また、52がスリット部で露光時に光が通過していく。

次に第5図(ニ)に部分的に追加露光を施こすためのマスクパターンを示す。第4図(シ)に示した平坦な下地41Bでのホトレジスト残り42A1が発生する個所のみにもスリットパターン53が形成さ

れており、他はクロム54でおおわれている。

パターン511は通常のパターンにてクロムでおおわれた部分51のパターン511との位置関係を示すためのパターンで実際には存在していない。

また、上記第1図ないし第3図(ウ)の実施例では、説明を簡単にするために、最上層の配線のスルーホールと基板へのスルーホールの二つのパターン形成をする場合について例示したが、2層目配線あるいは3層目配線との間のスルーホールも必要とする場合もある。

このときは、光が通過する面積の異なる三つのパターンを用意するのが好ましい。

第6図(ウ)はその一例を示すものであり、第6図(ウ)のパターン80A～80Dは順次最上層、2層目、3層目、基板へと順次光の通過量を多くして重ね露光した場合を示し、斜線を施した部分が光を透過するエリアである。

したがって、この場合、最上層のパターン80Aには露光を施さない。

四つのLSIチップ4A～4Dを配置して、同時露光するマスクにも適用できる。

以上のように、この発明では、コンタクトパターンのみならず通常の微細なスリットパターン形成に対しても充分な効果が期待できる。

ただし、この発明を適用することで、1枚のウエハ上での露光回数が増加し、スループットが低下するという欠点が考えられるが、この発明を用いなくてもパターン形成が可能な工程は第2図に示すエリアBに対してエリアAと同一のパターンをマスクに配置してウエハのステップサイズを第1図の矢印もで示すステップ長を2倍に設定するだけで、ごく通常なされている露光が可能となるため、通常のパターン形成工程と併用して適用することが可能となる。

すなわち、どうしてもこの発明を用いないとできない工程に対してのみ適用し、他の工程は全く通常の方法を採用し併用していくことができる。

また、チップの重ね合わせについても、エリアAかエリアBのどちらかで行なえばよく、通常の

また、この発明は光量を調節するものであるから、第6図(ウ)に示すように、複数のパターン90A～90Dで1ブロックを形成してもよい。

すなわち、ブロックの一つずつのパターンはその形状にパターンニングされる必要はないから、パターンは露光限界を越えて、微細なものでもよい。

これにより、第6図(ウ)のパターン80Bの小パターンをスルーホールに合わせた大きさのパターンとすることができ、スルーホール全体にほぼ均一に光を照射できる。

また、この発明は実パターンとこれと1チップずれた部分に、光量調節用のパターンを設けたことに特徴を有するものであるから、ウエハ上に照射される光のエネルギー量を部分ごとに調整することができる。

したがって、スルーホールだけでなく、他の形状のパターンにも応用可能であり、たとえば凹部にまたがって配線を行う場合に、凹部分相当位置に形成してもよい。

さらに、第7図に示すように、レチクル2上に

方法と特に変わるものではない。

さらに、露光エリア内には特に二つのエリアに限定するものではなく、2重露光が施こされるエリアが確保されればよい。

(発明の効果)

以上詳細に説明したように請求項1の発明によれば、第1のパターン領域に形成した第1のマスクを通してウエハに露光して回路パターンの転写を行うとともに、第1のパターン領域からLSIチップのサイズだけ離れた位置にある第2のパターン領域と第1のパターン領域がウエハ上に重なる寸法だけウエハを移動させた後、少なくとも第2のパターン領域に形成した第2のマスクパターンと第1のマスクパターンのうちの所定箇所を通してウエハに追加露光を行うようにしたので、回路のパターン寸法を大きく設定する必要がなく、ウエハに形成したパターンの短絡などの欠陥を生じることなく、所定箇所に高精度に、かつ微細にパターン形成を行うことができる。

また、請求項2の発明によれば、レチクル内に

配置した第1のパターン領域にウエハに回路のパターンを転写するための第1のマスクパターンを形成するとともに、LSIチップのサイズだけ離れた位置の少なくとも第2のパターン領域に第1のマスクパターンのうちの所定箇所を通してウエハ上に追加露光可能な第2のマスクパターンを形成するようにしたので、段差上部上および段差下部上で同時に回路パターンを高精度に形成する場合はもとより、光量を調整する露光を行なってパターン形成など、および複数のLSIチップを同時露光する場合など、広範囲のウエハの露光に適用できる効果がある。

4. 図面の簡単な説明

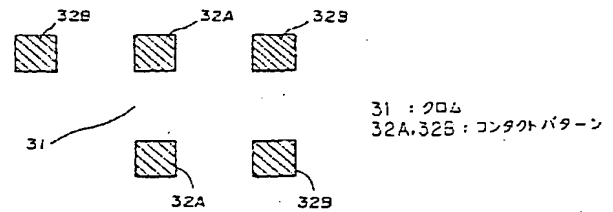
第1図はこの発明の回路パターン形成方法のウエハの露光状態の説明図、第2図はレチクル内に第1および第2のパターン領域の配置状態平面図、第3図(a)は第1図の第1のパターン領域に形成されるコンタクトパターンの平面図、第3図(b)は同第2のマスクパターンとなるコンタクトパターンの平面図、第3図(c)は上記両コンタクトパターン

を重ねてウエハ上に追加露光する状態の平面図、第4図(a)および第4図(b)はそれぞれこの発明の回路パターン形成方法の他の実施例を説明するための下地およびホトレジストパターンの断面図、第4図(c)は第4図(a)、第4図(b)の平面図、第5図(a)はこの発明の回路パターンのマスク上での通常のパターンの領域を示す平面図、第5図(b)は追加露光を施すためのマスクパターンを示す平面図、第6図(a)は他のマスクパターンの平面図、第6図(b)はマスクパターンの異なる実施例の平面図、第7図はマスクの更に他の実施例の平面図、第8図(a)は従来のメモリLSIの配線回路パターン形成直前の下地段差部分の断面図、第8図(b)は第8図(a)の下地段差部分にコンタクトパターンを形成した状態の断面図、第9図(a)は第8図(a)における下地上にホトレジストを形成した状態の断面図、第9図(b)は段差下部におけるコンタクトパターンボトム部のホトレジスト残存状態の断面図である。

1…露光可能領域、2…レチクル、4、5…LSIチップ、6…ウエハ、7…2重露光された

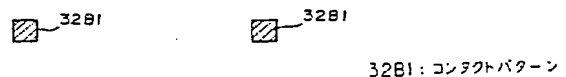
チップ、32A、32B、32B1、32B2…コンタクトパターン、41A…段差を有する下地、41A1…段差下部、42、42A、42B…ホトレジストパターン、42A1…ホトレジスト残り、52…スリット部、80A～80D…パターン。

特許出願人 沖電気工業株式会社
代理人 弁理士 菊池 弘



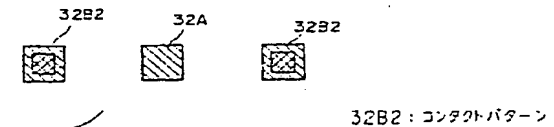
エリアAのコンタクトパターンの配置図

(a)



エリアBのコンタクトパターンの配置図

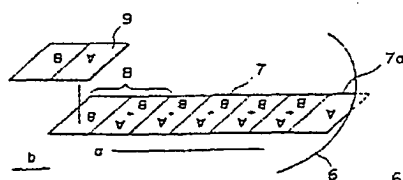
(b)



エリアA,Bのコンタクトパターンの重ね露光の説明図

(c)

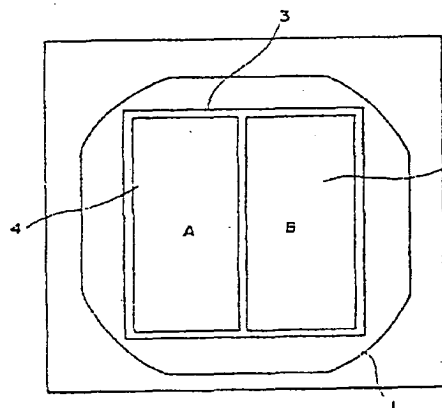
第3図



本発明のウェハの露光状態の説明図

第1図

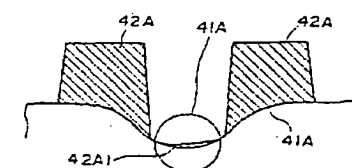
- 6 : ウェハ
- 7 : 2層露光されたチップ
- 7a : 最外周チップ
- 8 : 前ショットで露光されたエリア



レチクルの平面図

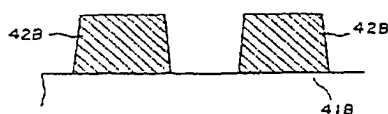
第2図

- 1 : 露光可能エリア
- 2 : レチクル
- 3 : スクライプライン
- 4,5 : LSIチップ



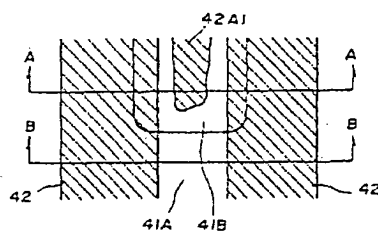
段差を有する下地にスリットを形成した断面図
(a)

- 41A : 段差を有する下地
- 41A1 : 段差下部
- 42A : ホトレジストパターン
- 42A1 : ホトレジスト残り



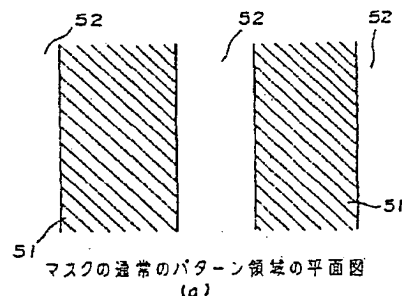
平坦な下地にスリットを形成した断面図
(b)

- 41B : 平坦な下地
- 42B : ホトレジストパターン



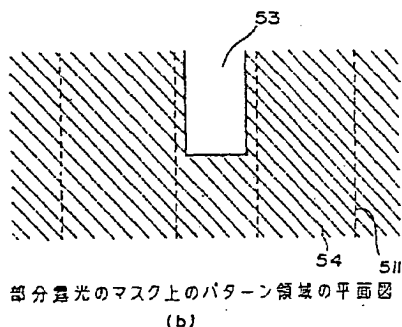
第4図(a),第4図(b)の平面図
(c)

第4図



マスクの通常のパターン領域の平面図
(a)

- 51 : クロム
- 52 : スリット部

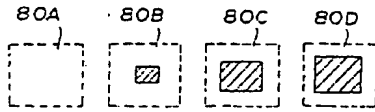


部分露光のマスク上のパターン領域の平面図
(b)

- 51 : パターン
- 53 : スリットパターン
- 54 : クロム

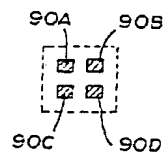
第5図

80A~80D: パターン



多層配線のスルーホール形成用パターンの平面図

(a)

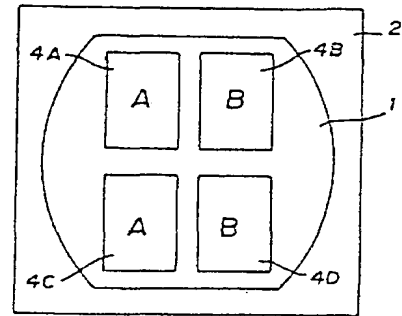


複数のパターンをブロック化した平面図

(b)

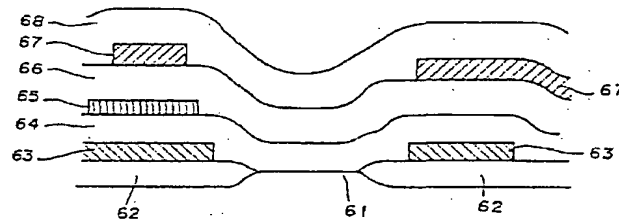
第 6 図

4A~4D: LSIチップ



レチクル上に4チップを配置した平面図

第 7 図

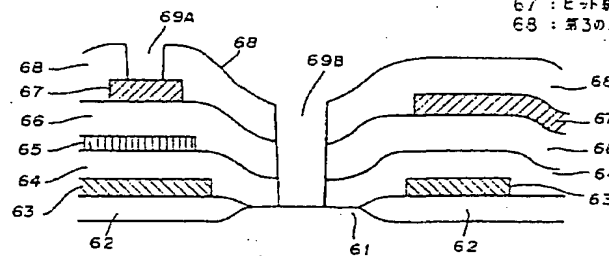


MEMS/LSI回路パターン形成直前の下地段差部の

断面図

(a)

- 61 : 素子領域
- 62 : フィールド酸化膜
- 63 : ワード線
- 64 : 第1の層間膜
- 65 : パターン
- 66 : 第2の層間膜
- 67 : ビット線
- 68 : 第3の層間膜

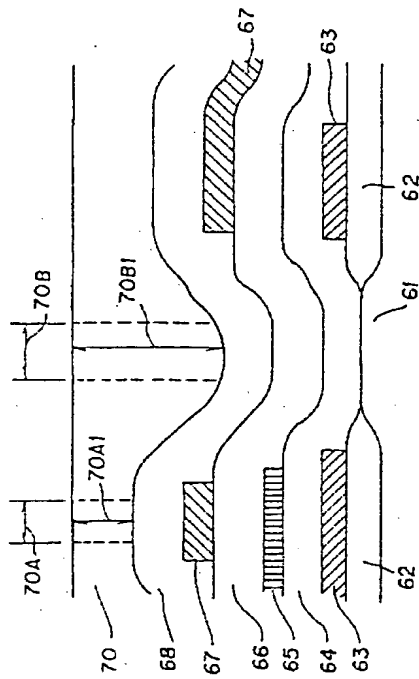


下地段差部にコンタクトパターンを形成した断面図

(b)

第 8 図

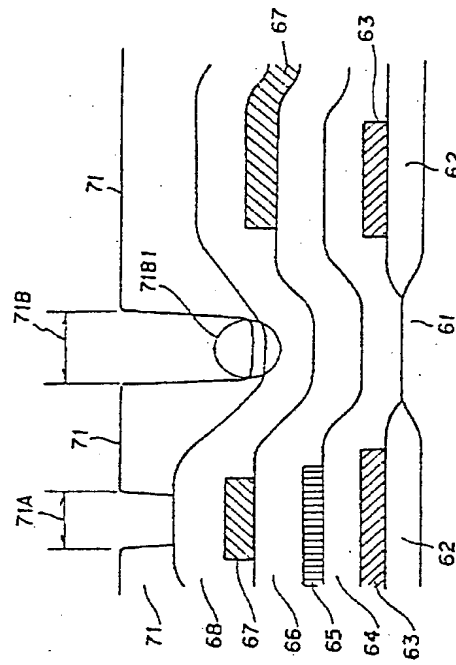
69A, 69B : コンタクトパターン



下地上にホトレジスト膜を形成した断面図

(a)

70, 70A1, 70B1 : ホトレジスト膜
70A, 70B : コンタクトパターンの寸法



コンタクトパターンにホトレジストの残存状態を示す断面図

(b)

第9図

71 : パターン
71A, 71B : コンタクトパターン
71B1 : コンタクトパターンのボトム部

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成9年(1997)5月20日

【公開番号】特開平3-201422
 【公開日】平成3年(1991)9月3日
 【年通号数】公開特許公報3-2015
 【出願番号】特願平1-338079
 【国際特許分類第6版】

H01L 21/027
 G03F 1/08
 7/20 521
 H01L 21/768

【F I】

H01L 21/30 502 C 9056-4M
 G03F 1/08 A 8808-2H
 7/20 521 8808-2H
 H01L 21/30 502 P 9056-4M
 21/90 A 9054-4M

特許庁長官 殿

8. 6. 26
 平成 年 月 日

特許庁長官 殿

1. 事件の表示

平成1年特許願第338078号

2. 補正をする者

事件との関係 特許出願人
 住所(〒05) 東京都港区虎ノ門1丁目7番12号
 名称(029) 沖電気工業株式会社
 代表者 澤村 崇光

3. 代理人

住所(〒108) 東京都港区芝5丁目29番17号
 MY三田ビル301
 氏名(6892) 井型士 鈴木 敏明
 電話 03-3457-9617

4. 補正命令の日付

日 第

5. 補正の対象

明細書の「発明の詳細な説明」の欄

5. 補正の内容

- (1) 明細書第3頁第7行の「高強度化」を、「高熱硬化化」と補正する。
- (2) 同書同頁第15行を、「OPPR-800, TSMR-8800, TSMR-8900(商品名)がー」と補正する。
- (3) 同書第9頁第8行の「高強度化」を、「高熱硬化化」と補正する。
- (4) 同書同頁第7行の「Q.6」を、「Q.5」と補正する。
- (5) 同書第19頁第7行~第8行の「配線のスルーホール」を、「配線へのコンタクトパターン」と補正する。
- (6) 同書第19頁第8行、同書第10行、第20頁第9行、同書第16行の「スルーホール」を、「コンタクトパターン」と補正する。
- (7) 同書第20頁第8行の「スルーホールに」を、「コンタクトパターンと」と補正する。

以 上

